CMOSアナログICの実用設計

吉田晴彦

第3回

CMOSアナログIC開発者が知っておくべき「ウェハ・プロセス（前工程）」と「パッケージング（後工程）」

前回（本誌2007年2月号，pp.92-100）は，レイアウト設計からフォト・マスクの製造までを解説した．今回はそのフォト・マスクを使ってIC製品ができるまでを紹介する．パッケージに納めてやっとICの形が見えてきた．（編集部）

ウェハができるまでの流れ（前工程）

ICのウェハ処理工程は，前工程（ウェハ・プロセス，プローブ試験）と後工程（組み立て，最終試験）に分類されます．

● 前工程の流れ

前工程は，図1のような流れとなり，シリコン・ウェハ［写真1(1)］に成膜[注1]，フォト・リソグラフィ[注2]，不純物導入[注3]などの要素プロセスを繰り返して，トランジスタ，

注1：酸化膜，絶縁膜，多結晶シリコン，および金属薄膜を成膜するには，熱酸化，CVD（chemical vapor deposition），スパッタの3種類の方法により形成する．

注2：フォト・リソグラフィ（photo lithography）とは，レジスト塗布，露光，現像工程によりフォト・マスクに描かれたパターンをウェハ表面に露光転写する技術．写真と同じ原理で光によるパターン転写を行うので，フォト・リソグラフィと呼ばれる．

注3：不純物導入とは，熱拡散法やイオン注入法により不純物（ドーパント）を半導体の性質を制御するために添加すること．

シリコン・ウェハ → ウェハ・プロセス → ウェハ素子テスト → バック・グラインド → プリウェハ・テスト → レーザ・トリミング → プローブ試験 → 検査 → 後工程へ

図1
前工程（ウェハ・プロセス，プローブ試験）の流れ
一般的な前工程で，ウェハ・プロセス，ウェハ素子テスト，バック・グラインド，プリウェハ・テスト，レーザ・トリミング，プローブ試験，出荷検査の流れとなる．

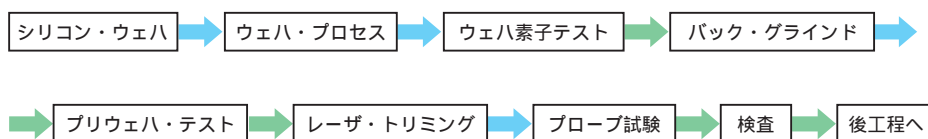
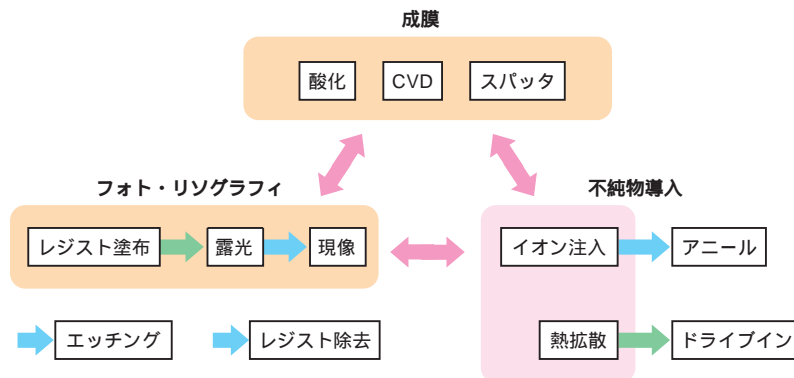
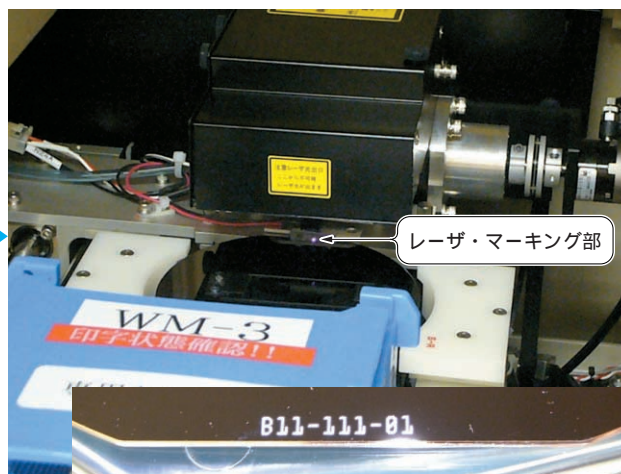



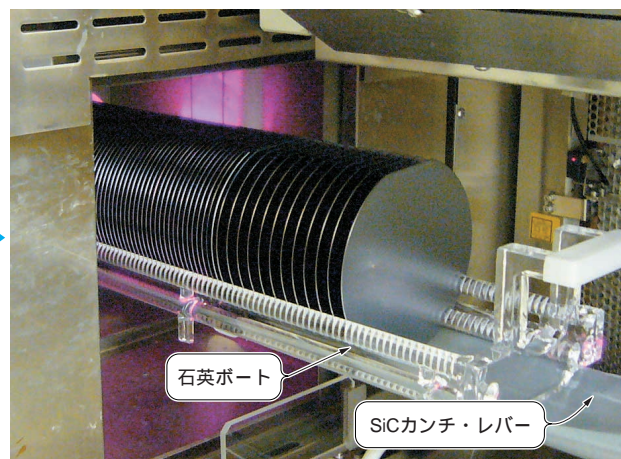
図2
ウェハ・プロセスの流れ
ウェハ・プロセスは，シリコン・ウェハに成膜，フォト・リソグラフィ，不純物導入などの要素プロセスを繰り返して，トランジスタ，抵抗，キャパシタなどの素子や金属配線を形成する．

KeyWord
ウェハ・プロセス，プローブ試験，成膜，フォト・リソグラフィ，不純物導入，ウェハ素子テスト，ワイヤ・ボンディング，はんだめっき，パッケージング，ICパッケージ，ピン挿入型，表面実装型

（1）シリコン・ウェハ

ウェハは，原料の多結晶シリコンをインゴット（ingot）と呼ばれる円柱状に単結晶成長させ，薄くスライスして作製した円盤で，アナログICでは直径6インチ（150mm），8インチ（200mm）のものがよく使われる．

（2）ナンバリング

ウェハの表面もしくは裏面に製品ID，ロット番号，ウェハ番号などをレーザなどでマーキングする．

（3）洗浄

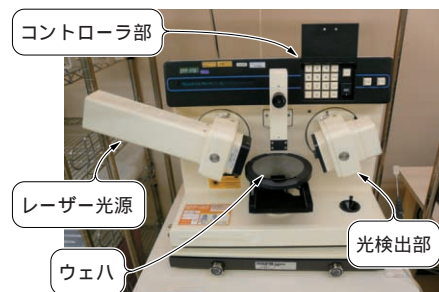
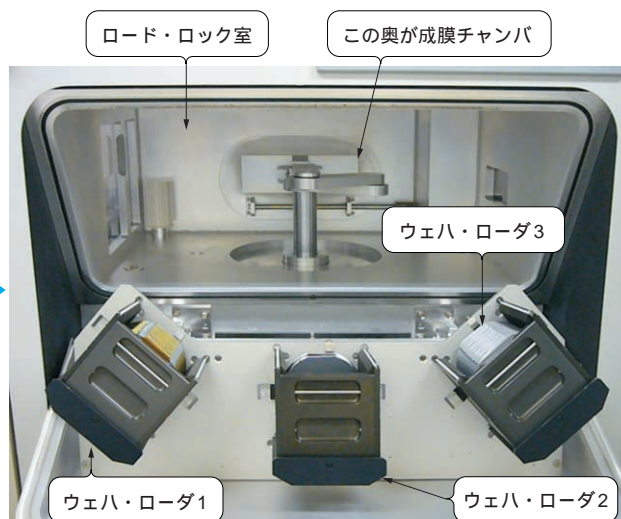
薬液を入れた槽に，テフロン・キャリアに挿入したウェハを浸漬させ，ウェハ表面に付着する微小な粒子，分子レベルの汚染物質や自然酸化膜などを除去し，デバイスの故障や特性劣化を防ぐ．洗浄する対象物により，純水洗浄，酸洗浄，アルカリ洗浄，有機洗浄などが用いられる．

（4）酸化

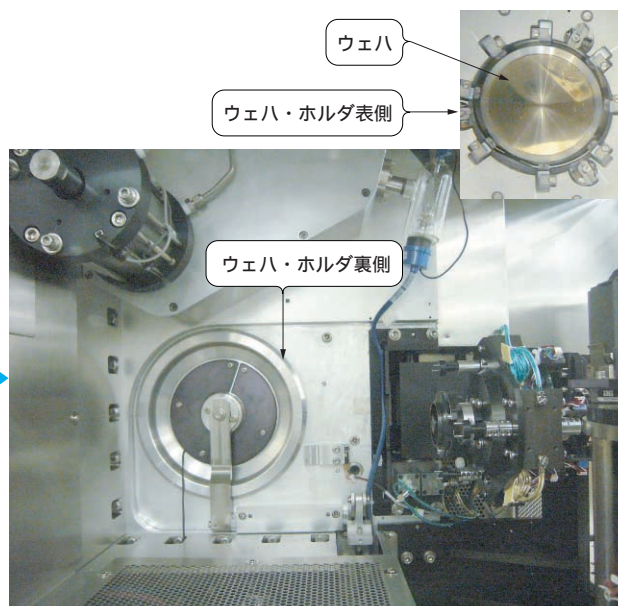
Siウェハを石英ボートに垂直に並べ，このボートをシリコン・カーバイド（SiC）製のカンチ・レバーで持ち上げて，酸化炉きょう体内の石英チューブに挿入する．Siウェハを酸化炉のヒータによって900℃～1000℃程度に加熱された高温の炉の中で酸素や水蒸気と反応させ，酸化膜を形成する．

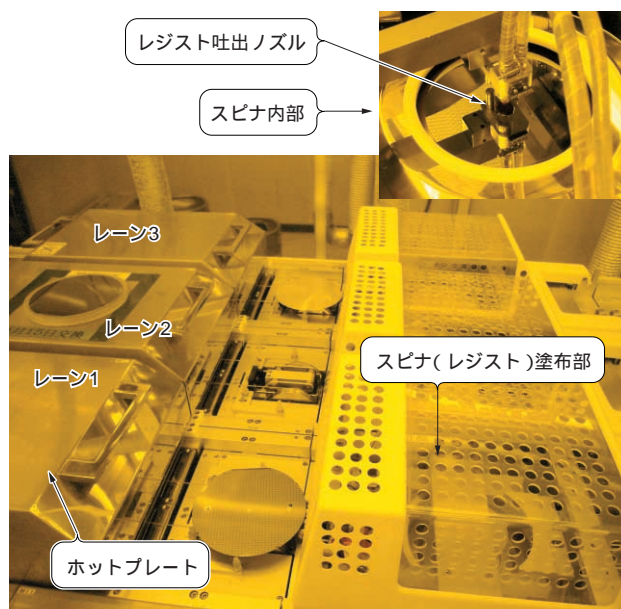
写真1　ウェハ処理工程の流れ

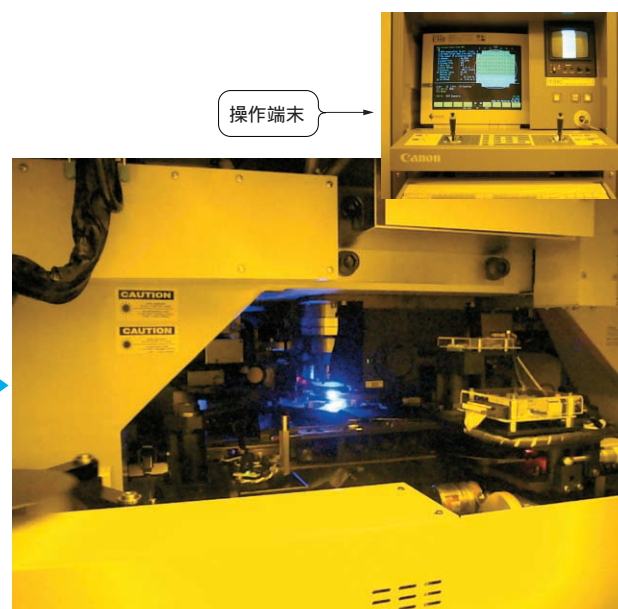
写真2
酸化膜厚の測定

酸化膜厚の測定は，（a）光干渉式膜厚計や（b）エリプソ・メータを使用する．光干渉式膜厚計は成膜したシリコン・ウェハにハロゲン・ランプからの白色光を垂直入射さ.せ，膜の上下の界面で反射した反射光を上部の分光器で分光強度を測定し解析することにより膜厚値を算出する．このとき，膜の屈折率はあらかじめ装置に入力した値が用いられる．エリプソ・メータでは，単色斜め入射光とその反射光の偏光状態を測定することにより，膜厚のほかに膜の屈折率，吸収係数も同時に算出することができる．

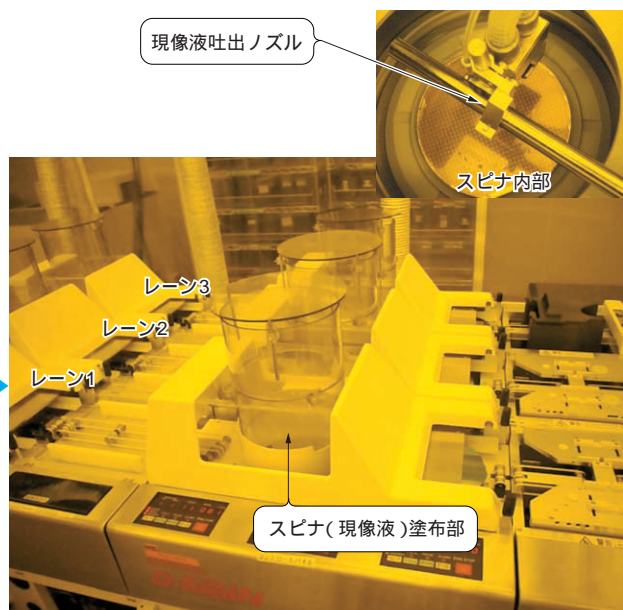
（a）光干渉式膜厚計

（b）エリプソ・メータ

(5) CVD (chemical vapor deposition)

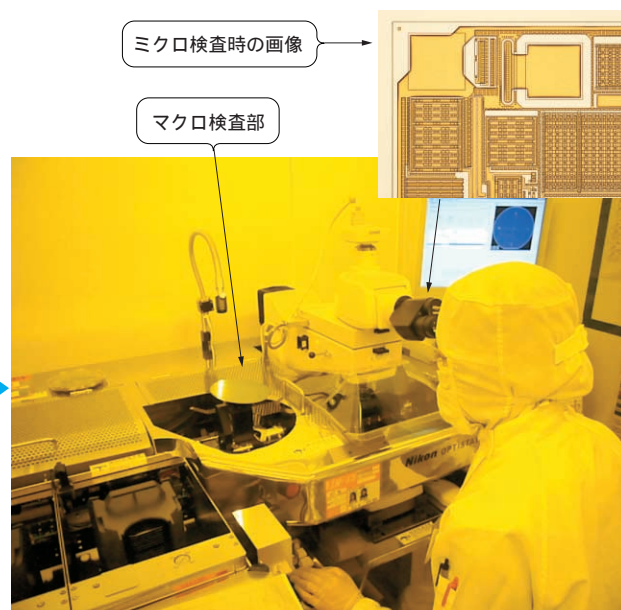
気相での化学反応を用いてウェハ上に電極や配線として用いるポリシリコン，絶縁膜である酸化膜や窒化膜などの薄膜を形成する．また，膜厚，屈折率，エッチング・レートなどにより，膜質の管理を行う．写真は装置のロード・ロック室（減圧室）で，手前に三つのウェハ・ローダが配置され，薄膜の形成はロード・ロック室の奥にある成膜チャンバで行う．

(6) スパッタリング

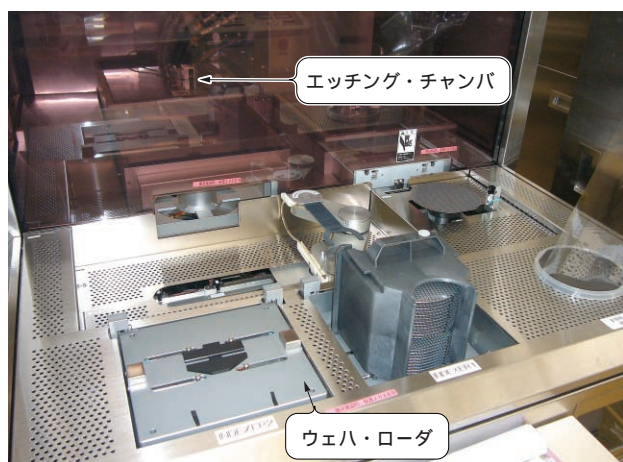
真空デポチャンバ内で，Ar（アルゴン）などの不活性ガスのプラズマを用いてターゲット材料を叩き，飛び出したメタル原子をターゲットに対向して置かれたウェハの表面に堆積させて，電極や配線膜を形成する．また，膜厚，反射率などにより，膜質の管理を行う．写真はウェハ・ホルダにウェハをセットし，ホルダをロード・ロック室に入れたところ．デポチャンバはロード・ロック室の奥にある．

(7) レジスト塗布

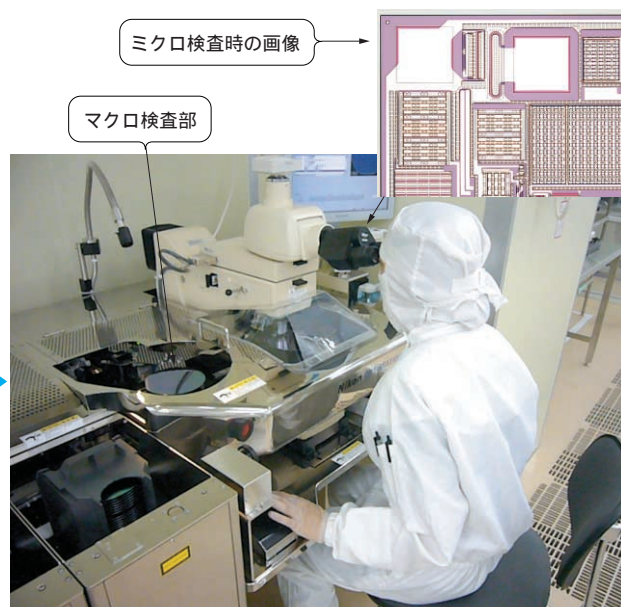
感光性の樹脂であるレジストをウェハ表面に滴下し，スピナ（回転台）で高速回転させ，薄く均一に塗布する．塗布したレジストが室内の光で感光しないように，黄色い蛍光灯が用いられているので，写真も黄色くなっている．写真は3レーンの塗布装置で，スピナからレジストの溶剤を揮発させるホットプレートへウェハをベルト搬送しているところ．

(8) 露光

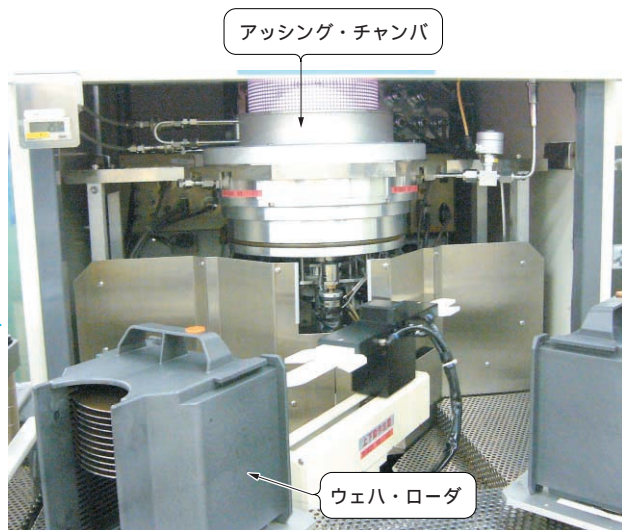
ステッパ（縮小投影型露光装置）を用いて，フォト・マスク（ガラス・マスク）とウェハのアライメント（前工程で形成されたマークとの位置合わせ）を行い，UV (ultraviolet) 光を照射して部分的にレジストを感光させることで，マスク・パターンをウェハへ転写する．写真はUV光照射を行っているところ．

写真1　ウェハ処理工程の流れ（つづき）

（9）現像

露光したウェハに現像液を塗布し，ポジ型レジストの場合では露光された部分のレジストを除去する．また，ネガ型レジストの場合は，露光された部分のレジストが残る．写真は3レーンの現像装置で，スピナからレジストの焼きしめを行うホットプレートへウェハをベルト搬送しているところ．

（10）現像後検査

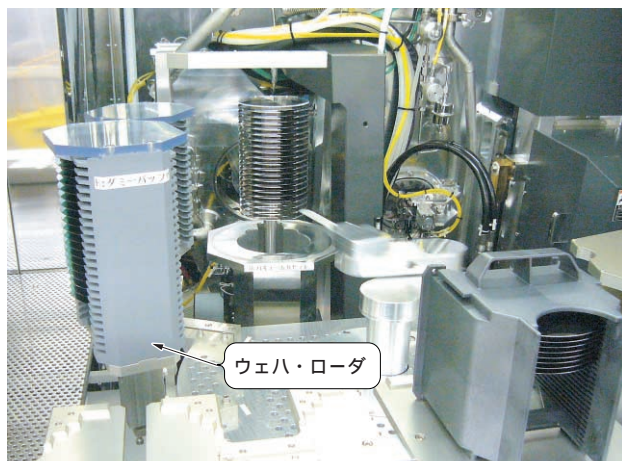
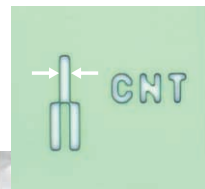
現像したウェハのレジストのムラ，キズ，汚れ，フォーカス不良などをウェハ全面目視確認するマクロ検査と，レジスト残りやマスクずれなどなどを顕微鏡で確認するミクロ検査（ウェハ面内数カ所）を行い，レジスト塗布～現像までの工程が正しく行われたかを確認する．

（11）エッチング

フォト・リソグラフィ工程でレジストのパターニングがされた箇所の薄膜を，フッ酸などの薬液による溶解（ウェット・エッチング）や反応性ガスによる化学反応（ドライ・エッチング）により加工する．写真は枝葉式ドライ・エッチング装置のウェハ・ローダ部分で，奥のエッチング・チャンバに1枚ずつウェハを自動搬送する．

（12）エッチング後検査

エッチングしたウェハの色ムラ，キズ，汚れなどをウェハ全面目視確認するマクロ検査と，エッチング残りやパターン形状などを顕微鏡で確認するミクロ検査（ウェハ面内数カ所）を行い，エッチング工程が正しく行われたかを確認する．

（13）レジスト除去

エッチング工程後不要となったレジストを薬液による溶解，もしくはオゾンやプラズマにより灰化（ashing）することにより除去する．写真は枚葉式のアッシング装置で，ウェハを１枚ずつアッシング・チャンバに搬送し処理する．

（14）寸法検査

現像後のレジスト寸法やエッチング後の加工寸法を測長SEM装置（走査型電子顕微鏡）にて測定し，製品/工程ごとに定められた規格内であることを確認する．走査型電子顕微鏡とは，対象物体に電子線を走査し，2次電子の発生量を輝度に変換して表面形状を観察する顕微鏡のこと．

（15）イオン注入

不純物を電気的にイオン化して，必要とする不純物を高電圧で加速し，真空チャンバ内で物理的にウェハの中に注入する．注入する不純物の種類により，ウェハの中にp型やn型の領域を作る．B（ボロン）を注入すればp型，P（リン）やAs（ヒ素）を注入すればn型半導体となる．写真はバッチ式イオン注入装置のウェハ・ローダ部で真空チャンバはその奥側にある．

（16）アニール

アニールとはイオン注入により誘起された照射損傷（イオンの連鎖衝突により生じる格子欠陥）を除去し，注入不純物を格子位置に導入し電気的に活性化させる熱処理のこと．また，イオン注入後のアニール処理のほかに，プラズマ工程などによるダメージから電気特性を回復させる水素アニール処理がある．写真は枚葉式RTA（急速加速装置）で，ウェハを１枚ずつ奥側にある石英チャンバに搬送し，チャンバ外部から赤外線ランプで急速・短時間（900～1500℃，数十秒）の加熱処理を行う．

写真1　ウェハ処理工程の流れ（つづき）

（17）熱拡散

900 ℃～1100 ℃程度に加熱した拡散炉内に，ボロンやリンなどの不純物のガスをキャリア・ガスといっしょに流し，挿入したウェハの表面に不純物を添加（堆積）させる．キャリア・ガスとは，三臭化ホウ素（BBr_3）やオキシ塩化リン（$POCl_3$）などの液体の拡散源から蒸気になったボロンやリンのガス（B_2O_3 や P_2O_5 の分子）をウェハの領域へ搬送するためのガスのこと．一般的には，窒素（N_2）ガスが使用される．写真はウェハを拡散炉内に挿入後，不純物を含むガスの出口の蓋と排気管を取り付けるところ．

（18）ドライブイン

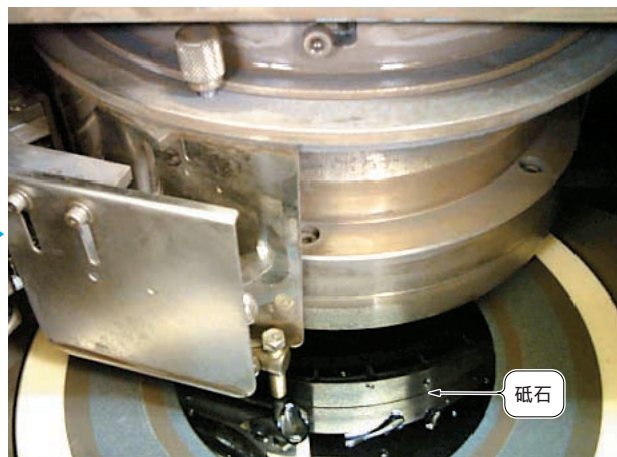
イオン注入や熱拡散により不純物を導入したウェハをボートに両面に並べ拡散炉に挿入後，1000 ℃～1200 ℃で数十分～数時間程度の熱処理を行い，不純物を拡散させ，所定の深さに分布させる．

（19）外観検査

パターン欠陥やキズなどの外観異常チップを検出する．

（20）ウェハ素子テスト

スクライブ領域内，もしくはウェハの数ヵ所に素子特性，配線抵抗，コンタクト抵抗などを評価するデバイスTEGを落とし込み，各ウェハに対し素子特性レベルでの良否判定を行う．

（21）ウェハ・プロセス（WP）後出荷検査
ウェハ・プロセスでの最終検査工程．異物，キズ，欠けなどの外観検査を行い，異常チップはレーザを照射し取り除く．

（22）バック・グラインド
ウェハを載せたステージと上側の砥石の両方を回転させ，水を流しながらパッケージに適した厚みまでウェハの裏面を削って薄くする．仕上げ厚み公差は±5 μm程度の精度で削られる．また，仕上げ研削砥石は，#1200～#2000が多く使用される．

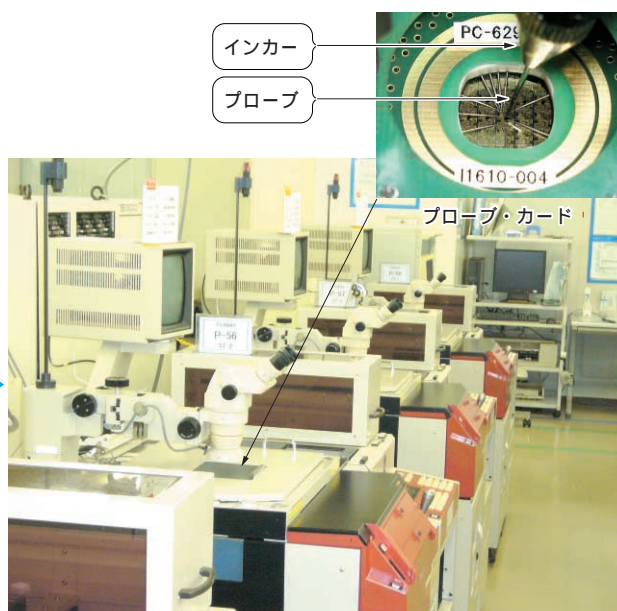
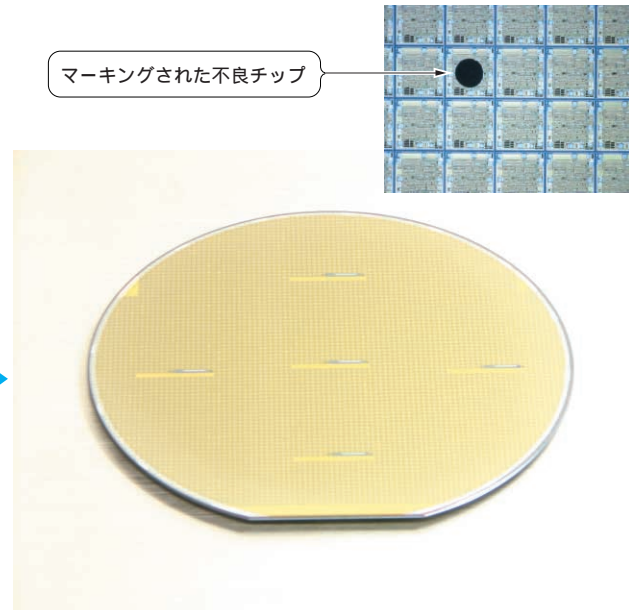
（23）レーザ・トリミング
ポリシリコンなどで形成したヒューズ素子（右下写真）をスポット径数μmに絞られたレーザで切ることにより，製品チップ内回路定数のトリミングを行う．プリウェハ・テストで切断する個所を決め，チップ上に並んだヒューズ素子をスキャンして切っていく．

（24）プローブ試験
各チップ上に設けられているボンディング・パッドにICテスタと接続されたプローブ・カード内のプローブ（右上写真）を当て，ウェハの状態でチップごとに電気的に良品と不良品を識別する．ボンディング・パッドとプローブの目合わせは，画像認識により自動で行い，良不良はICテスタのプログラムに記載された規格値と測定値を比較し判定する．

写真1　ウェハ処理工程の流れ（つづき）

（25）出荷検査

キズ，欠けなどをウェハ全体について目視検査した後，プロービング不良，マーキング不良，キズ，パターン欠陥，汚れなどを顕微鏡で検査し，不良チップにマーキングする．

（26）完成ウェハ

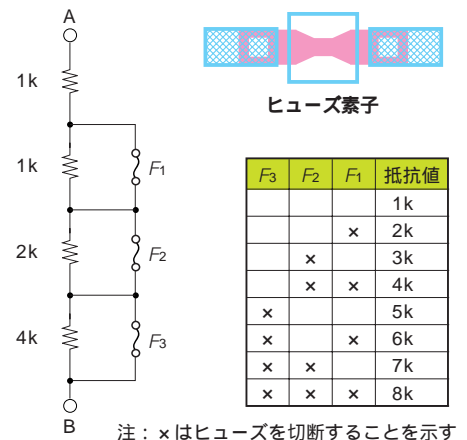
（1）～（25）の工程により，トランジスタや抵抗，キャパシタなどの素子をシリコン基板上に構成し，メタル配線で接続し，保護膜を形成し，電気的特性や外観の検査を行い，完成ウェハとなる．

図3
レーザ・トリミング

抵抗やキャパシタなどの回路素子にヒューズ素子を並列に接続し，ヒューズを選択的にレーザで焼き切ることで，全体の素子定数を離散的に調整する手法．ヒューズ素子の抵抗分をゼロと仮定すると，左の回路図では切断するヒューズ素子によって，A-B間の抵抗値を1kΩ～8kΩに調整できる．

トリミング手法には電気的に調整する方法とレーザ光を使用する方法がある．前者はツェナ・ザップがその代表であり，並列接続した抵抗とツェナ・ダイオードのペアを直列に複数個接続して抵抗を作り，ツェナ電圧を越える電圧を印加することでショート状態にして抵抗値を調整する．しかし，この手法は抵抗とツェナ・ダイオードのペアの数だけ電圧印加用のパッドが必要で精密な調整には広いチップ面積が必要となる．このため，現在ではレーザ光によるトリミングが主流になっている．レーザ光を使用するトリミングでは，ポリシリコン抵抗または薄膜抵抗にレーザ光を照射して切断することで抵抗値を調整する．ポリシリコン抵抗はレーザ光照射により物理的に破壊することで抵抗値を調整するため，ヒューズ的な使い方によるディジタル・トリミングに使用する．一方，薄膜抵抗はレーザ光照射部分が高温状態になり絶縁体に変化することで抵抗値を調整するため，ディジタル・トリミングと連続的に抵抗値を変化させるアナログ・トリミング両方に利用することができる．こう書くと薄膜抵抗のほうが優れているようだが，ポリシリコン抵抗は標準的なプロセスに工程を追加することなく使用できるの対し，薄膜抵抗は工程追加が必要となるため価格の面では不利になる．

F_3	F_2	F_1	抵抗値
			1kΩ
		×	2kΩ
	×		3kΩ
	×	×	4kΩ
×			5kΩ
×		×	6kΩ
×	×		7kΩ
×	×	×	8kΩ

注：×はヒューズを切断することを示す

抵抗，キャパシタなどの素子や金属配線を形成します［**図2**，**写真1の（1）～（19）**］．

次に，ウェハ素子テスト［**写真1の（20）**］とウェハ・プロセス（WP）後出荷検査［**写真1の（21）**］で良品となったウェハをバック・グラインド工程［**写真1の（22）**］でパッケージングに適した厚みまでウェハの裏面を削って薄くします．次に，各チップ上に設けられているボンディング・パッドにICテスタと接続された検査針（プローブ）を立て，電気的な検査・選別をプローブ試験［**写真1の（24）**］にて行います．

また，OPアンプのオフセット電圧やレギュレータの出力電圧などの高精度が要求される回路が含まれる製品では，プリウェハ・テストで初期特性（誤差の大きさ）を測定し，誤差量に応じ回路素子に接続された調整用ヒューズ素子をレーザで切断調整するレーザ・トリミング工程［**図3**，**写真1の（23）**］がプローブ試験の前に行われます．

写真2に酸化膜厚の測定系を示しておきます．

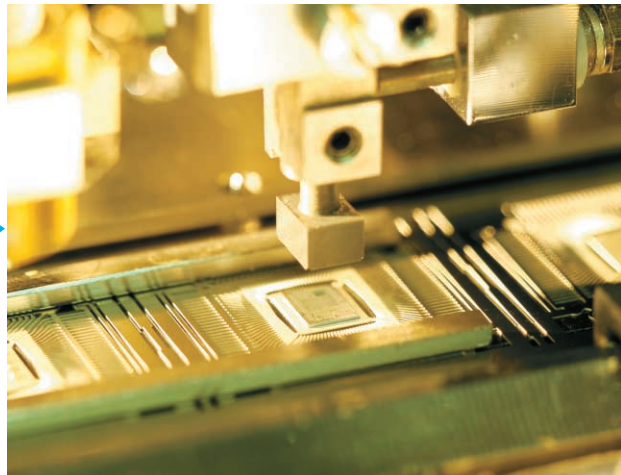
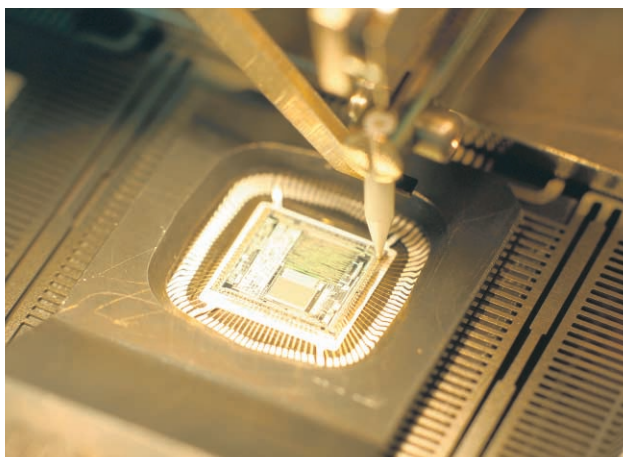
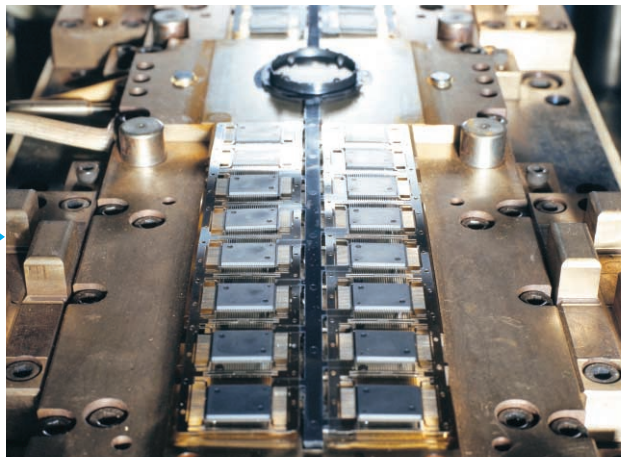
（1）ダイシング
厚さ20 μm～30 μmで2 μm～6 μmのダイヤモンド砥粒が散在されたブレードと呼ばれる砥石を30,000～50,000rpmで回転させながら50mm/s～100mm/sの速度で走行させ，ウェハから個々のチップに分離する．ウェハ切断時にウェハの厚みを一部残して切り込むハーフカット法や完全に切断するフルカット法などがある．

（2）ダイ・ボンディング
全自動ダイ・ボンダにより，リード・フレーム上のダイ・パッドにチップを接着する．まず，リード・フレームなどの回路基板（ダイ・パッド）に，電気抵抗が小さい銀などの金属粉末を添加したエポキシ系接着剤（導電性接着剤）をエアー圧により塗布する．この上にチップを加圧実装し，オーブンによる熱処理で接着剤を硬化する．

（3）ワイヤ・ボンディング
チップの表面外周部に配置されたボンディング・パッドとリード・フレームのインナーリードとの間を，金線またはアルミ線のボンディング・ワイヤで電気的に接続する．写真は，超音波併用熱圧着法による金線のワイヤ・ボンド作業で，一般的に使用される金線の太さは20 μm～30 μm程度である．

（4）モールド
露出していたチップと金線（またはアルミ線）を外部環境から保護するために，エポキシ樹脂などのモールド材で覆い固める工程．固形のエポキシ樹脂を金型内に装填し加熱溶融し，流動化したエポキシ樹脂をプランジャ（円筒状の加圧用部品）により金型内のキャビティ（射出成型品の形状を有する空間）に注入する．注入されたエポキシ樹脂は金型より供給される熱により熱硬化反応を起こし，固形化する．写真は固形化したエポキシ樹脂を金型より取り出すために，金型を上下に分離させた状態．

写真3　組み立て・試験工程の流れ

完成ウェハから製品ができるまでの流れ（後工程）

● 後工程の流れ

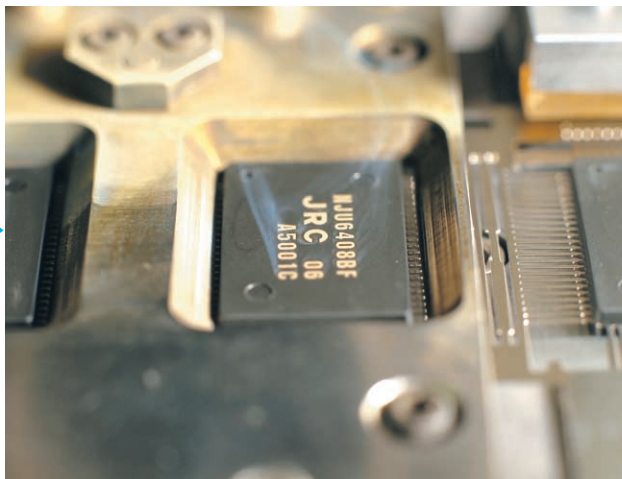
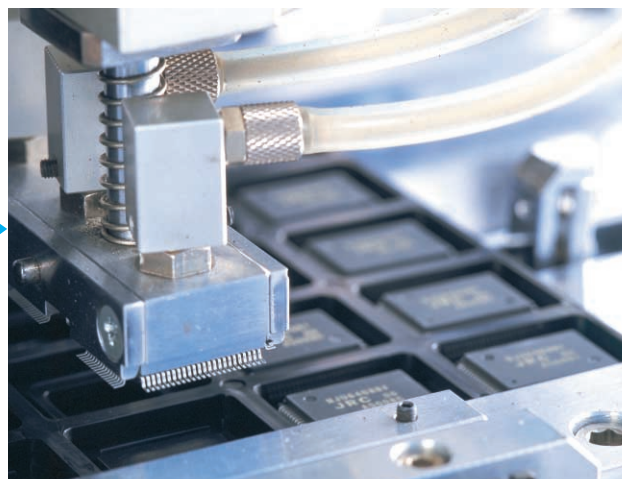
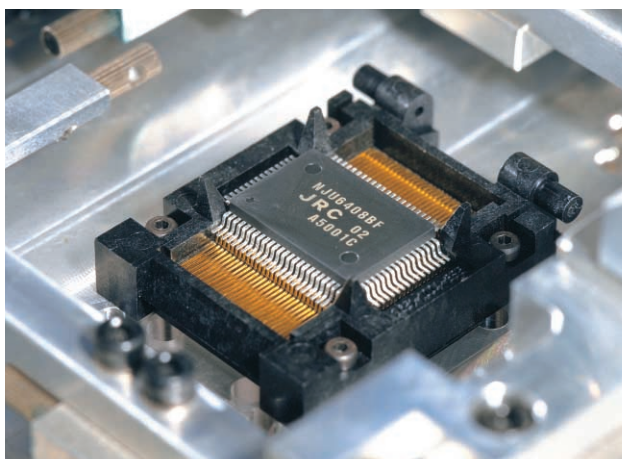
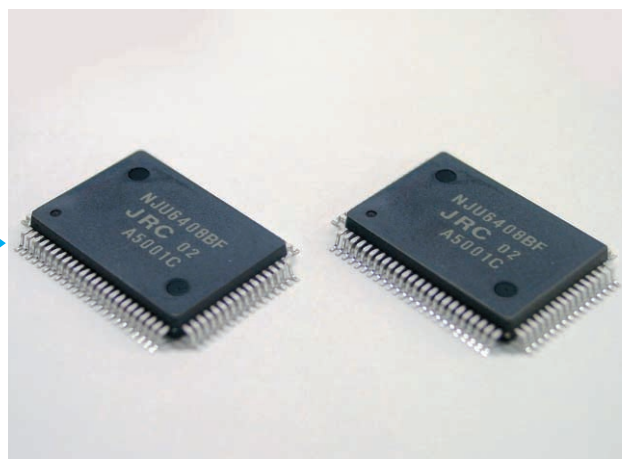
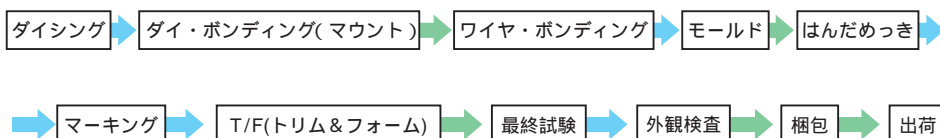
後工程は，**図4**のような流れとなります．前工程で製造されたウェハから，個々のチップを切り出し［**写真3**の**(1)**］，チップをリード・フレーム（**写真4**）に搭載［**写真3**の**(2)**］し，ワイヤ・ボンディング［**写真3**の**(3)**］，およびモールド材での封止［**写真3**の**(4)**］を行います．次にリードをはんだめっきし，パッケージ表面に製造メーカやロ

（5）マーキング
パッケージ表面に製造メーカやロゴ・マーク，製品名，製造年月日などのロット番号を上方より照射されるレーザ光線で捺印表示する．

（6）トリム＆フォーム
リード・フレームからパッケージを個々に切り出しリードの形状を整える．リード幅やピッチなどは，EIAJ（現在はJEITA）などの規格に準拠し，一般的に± 0.1mm以内の精度となっている．

（7）最終試験
製品はすべての規格に従って電気的特性の選別試験を行う．最終試験では，常温試験のほかに高温試験，低温試験，バーン・イン（ICの初期不良を顕在化させる）試験があり，製品や用途によって選択される．

（8）完成IC
最終試験での全数試験後に外形や電気的特性をサンプリングで検査し，ロットの合否判定を行い，完成ICとなる．

図4
後工程（組み立て・最終試験）の流れ
一般的な後工程で個々のチップを切り出し，チップをリード・フレームに搭載し，ワイヤ・ボンディング，モールド材での封止，リードのはんだめっき，マーキング，リード成型，最終試験，外観検査の流れとなる．

（9）外観検査，梱包

最後に画像認識により，マーク不良，カケ，向き，リード曲がりなどの外観を検査し，良品を梱包する．写真は画像処理機能付きの梱包（エンボス・テーピング）装置．リード曲がりの許容誤差は，端子中心位置許容差で表現され，SSOP（shrink small outline package）で0.1mm程度となる．装置内の中央に外観検査用のカメラと画像モニタがある．左下の白いリールがエンボス・テープの供給リール．

（10）出荷

最終試験や外観検査などで品質を保証された物が包装され出荷される．包装形態は，スティック・ケース，粘着テーピング，エンボス・テーピング，トレイ，ビニール袋などがある．

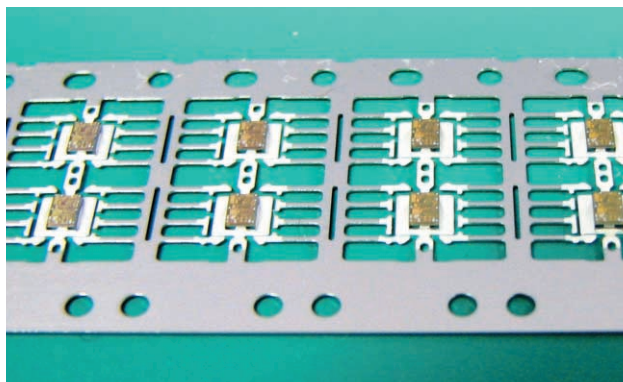



写真4　リード・フレーム

薄い金属板を化学的なエッチング，もしくは金型を使った打ち抜きで加工し，チップを接着する部分とリード端子部分を形成する．

写真5
ICのマーキングの読み方

成型された樹脂面に，製品名，製造メーカ，ロット番号などを捺印する．マーキング方法にはオフセット方式とレーザ・マーキング方式があるが，量産性や耐摩耗性で優れるレーザ・マーキング方式が主流となっている．

ゴ・マーク，製品名，製造年月日などのロット番号をマーキング［**写真5**，**写真3**の**(5)**］します．最後に，リード・フレームから個々のパッケージに切り離し，リードを成型［**写真3**の**(6)**］し，最終試験［**写真3**の**(7)**］，外観検査［**写真3**の**(9)**］を行います．

パッケージングする理由としては，

- 外部環境からのチップの保護
- 電気的な接続端子の形成（外部回路との接続）
- 熱の放散
- 基板実装の容易化と標準化

などが挙げられます．また，ICパッケージは，性能，信頼性，コストなどが重要な要素となり，パッケージ性能としては，多ピン化，小型化，薄型化，高機能化，低熱抵抗（高放熱）化，高速化，実装性，環境への配慮などの要求が強まっています．

●ICパッケージの種類

ICパッケージは，**写真6**のようにさまざまな種類があります．

プリント基板に向けてのパッケージでは，ピン挿入型と表面実装型がよく使用されます．

ピン挿入型パッケージは，パッケージの側面からリード（端子）といわれる足が突き立って出ているもので，プリン

表1
面実装型パッケージの種類

<table>
<tr><th colspan="2">パッケージ</th><th>外　形</th><th>リード・ピッチ</th><th>リードの取り出し方向</th><th>リード形状</th></tr>
<tr><td>SOT-89</td><td>small outline transistor</td><td></td><td>1.5mm</td><td>側面，1方向</td><td>フラット・リード型</td></tr>
<tr><td>TO-252</td><td>transistor outline package</td><td></td><td>2.28mm</td><td>側面，1方向</td><td>L字（ガルウィング）型</td></tr>
<tr><td>SON</td><td>small outline non-leaded package</td><td></td><td>0.5mm</td><td>側面，2方向</td><td rowspan="3">フラット・リード型</td></tr>
<tr><td>QFN</td><td>quad flat non-leaded package</td><td></td><td>0.4mm
0.5mm</td><td>側面，4方向</td></tr>
<tr><td>FLP</td><td>flat lead package</td><td></td><td>0.5mm
0.65mm
0.95mm</td><td rowspan="7">側面，2方向</td></tr>
<tr><td>SC-82AB</td><td>—</td><td></td><td>1.3mm</td><td rowspan="7">L字（ガルウィング）型</td></tr>
<tr><td>SC-88A</td><td>—</td><td></td><td>0.65mm</td></tr>
<tr><td>SOT-23</td><td>small outline transistor</td><td></td><td>0.95mm</td></tr>
<tr><td>TVSP</td><td>thin very small package</td><td></td><td>0.5mm
0.65mm</td></tr>
<tr><td>SOP</td><td>small outline package</td><td></td><td>1.27mm</td></tr>
<tr><td>SSOP</td><td>shrink small outline package</td><td></td><td>0.5mm
0.65mm
0.8mm</td></tr>
<tr><td>QFP</td><td>quad flat package</td><td></td><td>0.5mm
0.65mm
0.8mm
1.0mm</td><td>側面，4方向</td></tr>
<tr><td>PLCC</td><td>plastic lead chip carrier</td><td></td><td>1.27mm</td><td>側面，4方向</td><td>J字型</td></tr>
<tr><td>CSP</td><td>chip size package</td><td></td><td>—</td><td>底面，格子状</td><td>突起電極を格子状に配置</td></tr>
<tr><td>BGA</td><td>ball grid array</td><td></td><td>—</td><td>底面，格子状</td><td>突起電極を格子状に配置</td></tr>
</table>

写真6
ICパッケージ
ICパッケージには，ピン挿入型と表面実装型があり，リードの取り出し方向やリード形状に対応して名前が付く．

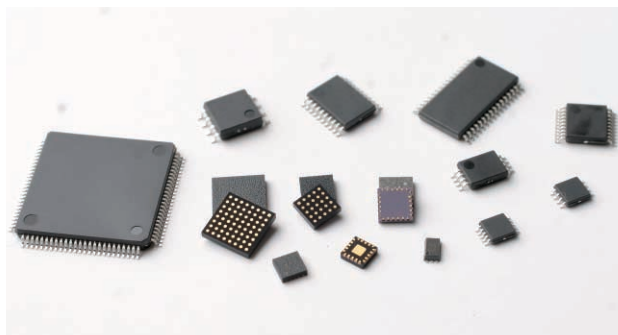



表2
ピン挿入型パッケージの種類

パッケージ		外　形	リード・ピッチ	リードの取り出し方向	リード形状
TO-92	transistor outline package		1.27mm	側面，1方向	直線状で側面に垂直
TO-220F	transistor outline package		2.54mm		
SIP	single inline package		2.54mm		
ZIP	zigzag inline package		1.5mm		交互に折り曲げ
DIP	dual inline package		2.54mm	側面，2方向	直線状で側面に並行
SDIP	shrink dual inline package		1.778mm		

ト基板の穴（スルーホール）にリードを挿入し，裏側からのはんだ付けでICの固定と回路配線への接続を行います．

表面実装型パッケージは，電子機器の多ピン化，小型化，薄型化，高機能化などの要求から，開発されたパッケージでリードをプリント基板のパターンに直接はんだ付けするので，配線ピッチを狭く，パッケージの高さを低く，かつプリント基板の両面への部品実装が行えるので，部品あたりの占有面積を小さくすることができ，高密度実装化が可能となります．

また，ICパッケージは，**表1**，**表2**に示すようにリードの取り出し方向やリード形状に対応して名前が付いています．

参考文献

(1) 西久保靖彦；『半導体の基本と仕組み』，秀和システム，2004年

よしだ・はるひこ
新日本無線（株）

<筆者プロフィール>
吉田 晴彦．1985年に新日本無線に入社，プロセス開発や電源IC設計などになどに従事．現在ミックスト・シグナルIC設計部門に所属．